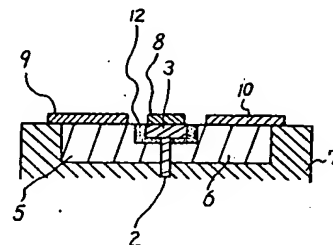


**(54) LATERAL BIPOLAR TRANSISTOR**

(11) 1-82670 (A) (43) 28.3.1989 (19) JP  
 (21) Appl. No. 62-242144 (22) 25.9.1987  
 (71) NEC CORP (72) MASAOKI KUZUHARA  
 (51) Int. Cl.<sup>4</sup> H01L29/72, H01L29/08, H01L29/205

**PURPOSE:** To miniaturize the length of a base and to reduce a base resistance by forming an external base region on an intrinsic base region in a lateral bipolar transistor.

**CONSTITUTION:** An external base region 3 having a width larger than that of an intrinsic base region 2 and the same conductivity type as that of the region 2 is formed on the top of the region 2. An emitter region 5 is formed on the region 2 made of InGaAs or GaAs having larger forbidden band width than that of the InGaAs. Further, a high resistance region 12 is disposed in a boundary between the region 5 and a collector region 6, the region 3. Since the region 3 is formed on the region 2 in this manner, even if the width (base length) of the region 2 is sufficiently reduced in thickness, a low resistance base electrode 8 can be easily formed on the region 3.



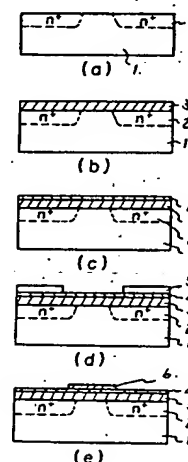
9: emitter electrode, 10: collector electrode, 7: semiinsulating GaAs substrate

**(54) MANUFACTURE OF MIS FIELD-EFFECT TRANSISTOR**

(11) 1-82671 (A) (43) 28.3.1989 (19) JP  
 (21) Appl. No. 62-242134 (22) 25.9.1987  
 (71) NEC CORP (72) ASAKO TATSUMI  
 (51) Int. Cl.<sup>4</sup> H01L29/78, H01L21/318

**PURPOSE:** To improve reliability and to reduce irregularities in characteristics by forming an oxide layer as a protective film against a resist developer on an A/N film in a MIS FET having A/N as a gate insulating film on a III-V compound semiconductor substrate.

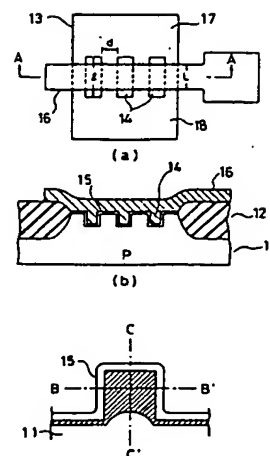
**CONSTITUTION:** An  $n^+$  type layer 2 is formed by atomic layer epitaxial growth as a source and drain electrode-contact layer on a semi-insulating InP substrate 1. Then, an A/N film 3 is formed as a gate insulating film by an organic metal vapor growing method on the substrate 1. Thereafter, the surface of the film 3 is exposed with an oxygen atmosphere at 100°C., thereby forming a surface oxide film 4 having 50 Å of thickness. Subsequently, a photoresist pattern 5 for forming a gate electrode 6 is formed of positive type resist. Then, aluminum is deposited by a resistance heating method on the whole surface of a sample. Thereafter, the pattern 5 is removed to be lifted OFF, and a gate electrode 6 is formed. Then, it can prevent electric characteristics of the A/N and a boundary between the A/N and a semiconductor from being deteriorated with a resist developer.

**(54) MOS TRANSISTOR**

(11) 1-82672 (A) (43) 28.3.1989 (19) JP  
 (21) Appl. No. 62-241411 (22) 25.9.1987  
 (71) TOSHIBA CORP (72) YOSHIO OZAWA  
 (51) Int. Cl.<sup>4</sup> H01L29/78

**PURPOSE:** To increase a current driving force and to accelerate switching characteristic by forming a plurality of grooves in a channel region and increasing an effective channel width.

**CONSTITUTION:** Source, drain regions 17, 18 are formed on an element forming region 13 surrounded by a field oxide film 12 on a substrate 11. A gate electrode 16 is formed through a gate oxide film 15 on a channel region between the regions 17 and 18. A plurality of grooves 14 are formed along a channel longitudinal direction on the channel region, and both ends of the grooves 14 are extended out of the channel region. Protrusions are formed between the grooves 14, the size of the protrusion is so miniaturized to the size or less of a depleted layer extended from the surface of the sidewall of the protrusion toward the interior of the substrate is brought into contact with a depleted layer extended from the surface of a sidewall opposite before an inversion layer is formed on the surface of the sidewall when a gate voltage is applied to form the inversion layer on the channel region.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-82671

⑬ Int.Cl.<sup>4</sup>

H 01 L 29/78  
21/318

識別記号

301

庁内整理番号

B-8422-5F  
C-6708-5F

⑭ 公開 昭和64年(1989)3月28日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 MIS型電界効果トランジスタの製造方法

⑯ 特 願 昭62-242134

⑰ 出 願 昭62(1987)9月25日

⑱ 発 明 者 辰 巳 朝 子 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

#### 明 細 書

##### 発明の名称

MIS型電界効果トランジスタの製造方法

##### 特許請求の範囲

III-V族化合物半導体基板上にゲート絶縁膜として窒化アルミニウム膜を形成させた後、パターンニングしたレジストをマスクに電極を形成させるMIS型電界効果トランジスタの製造方法において、窒化アルミニウム膜の形成に引き続いて膜表面を酸化させる工程を含むことを特徴とするMIS型電界効果トランジスタの製造方法。

##### 発明の詳細な説明

##### (産業上の利用分野)

本発明はIII-V族化合物半導体メタル-インシュレイター-セミコンダクタ(MIS)構造素子の製造方法に係わり、信頼性に優れた半導体素子の製造方法に関する。

##### (従来の技術)

砒化ガリウム(GaAs)や燐化インジウム(InP)に代表されるIII-V族化合物半導体は高電子移動度を有する為、高速動作の素子材料として注目されている。MIS型構造素子は集積回路に適した構造であるが、III-V族化合物半導体においては、良好なゲート絶縁膜の形成が困難であるために実用化されていない。

本発明者らはIII-V族化合物半導体に対するゲート絶縁膜としてIII-V族化合物である窒化アルミニウム(AlN)膜に着目し、ダイオード特性について検討してきた。その結果、堆積条件の最適化を計ることに界面単位密度の最小値がGaAsについては $10^{11}\text{eV}^{-1}\text{cm}^{-2}$ 、燐化インジウム(InP)では $10^{11}\text{eV}^{-1}\text{cm}^{-2}$ 以下のきわめて良好な特性の得られることが分かった(プロシーディングオブガリウムアースナイドアンドリレイテッドコンパウンズ(Proc. of GaAs and Related Compounds, Las Vegas, Inst. Phys. Conf. Ser. No. 83:Chapter 3 p.153))。

さらにこの実験を進め、MIS型電界効果トランジスタ(MIS型FET)を作製したところFET動作を

確認し、飽和領域より求めた電子の実効移動度としてGaAsでは $5800\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 、InPでは $3500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ という優れた値が得られた。

(発明が解決しようとする問題点)

しかし、このようなFET特性はウエハー面内で大きくばらついた。すなわち7割の測定点ではソースとゲート間に測定されたリーク電流はバイアス1Vに対して数百 $\mu\text{A}$ という大きな値を示し、FET動作が確認できなかった。一方、他の測定では比較的良好な特性が観測されたが、これらにおいても、作製後から数日経過すると、リーク電流が増大するなどの特性の劣化が観測された。その原因を検討したところ、ゲート絶縁膜であるAIN膜からFET作製のプロセスの途中でレジスト現像液によりエッチングされる点にあることが明らかになった。この過程で半導体と絶縁膜との界面にレジスト現像液が浸透し半導体と絶縁膜との界面の電気的特性を劣化させることが分かった。FETの作製に当っては、窒化アルミニウム膜と半導体との界面の電気特性を良好なものとするための窒化アルミ

ニウム膜の堆積条件の要請および作製プロセスによりFET特性が損なわれないように、電極の形成はすべてリフトオフにより行っている。このリフトオフ法によりゲート電極を形成させる為の工程の一つであるポジ型レジストの現像過程で、ゲート部AIN膜がレジスト現像液にさらされることになる。この際にAIN膜および半導体との界面にレジスト現像液が浸透しFET特性にバラツキが生じることが分った。

この発明は、AINおよびAINと半導体との界面の電気特性がレジスト現像液により劣化されることを防止し、特性に優れ、バラツキの小さいMIS型FETの製造を可能にするものである。

(問題点を解決するための手段)

本発明はIII-V族化合物半導体基板上にゲート絶縁膜として窒化アルミニウム膜を形成させた後、パターンニングしたレジストをマスクに電極を形成させるMIS型電界効果トランジスタの製造方法において、窒化アルミニウム膜の形成に引き続いて膜表面を酸化させる工程を含むことを特徴とする

MIS型電界効果トランジスタの製造方法を提供することにある。

(作用)

ところでアルミニウムの酸化物として知られるアルミナは耐薬品性があり、常温ではレジスト現像液に対してエッチングされない。このことからアルミニウムと酸素の結合は耐薬品性を示すと考えられる。従ってAIN膜の酸化により膜中に酸素が取り込まれ、アルミニウムと酸素の結合が形成されれば、レジスト現像液に対してエッチングされ難しくなると考えられる。すなわち、AIN膜の表面に酸化層が形成されれば、この酸化層によりレジスト現像液によるエッチングの防止効果が期待できる。以上のことから本発明によればレジスト現像液によるAIN膜およびAIN膜と半導体との界面の電気特性が劣化を防止し、得られるFETの特性の信頼性を向上させる効果が期待できる。

(実施例)

第1図(a)~(e)は本発明による半導体装置の製造方法の実施例を示す。以下これらの図を用いて本発

明を詳細に説明する。まず同図(a)に示したように、半絶縁性InP基板1の表面にソースおよびドレイン電極用のコンタクト層として、キャリア濃度 $5 \times 10^{18}\text{cm}^{-3}$ 、厚さ1000Åのn<sup>+</sup>層2をアトミックレイヤーエピタキシャル成長により形成させた。次にゲート絶縁膜として膜厚1000ÅのAIN膜3を有機金属気相成長法により、成長温度370°Cで、基板1上に形成させた(図1(b))。なおAIN膜3の成長に先立って、基板1の表面を清浄化する目的で次に示す工程を行った。先ず基板1の表面を100Å程度ウエットエッチングした後、塩酸中に1分間浸漬、水洗した。この後、速やかにAIN膜3の成長装置内に導入、アルシン雰囲気下で10分間500°Cでサーマルクリーニングを行い、AIN膜3の成長を行った。次いで、形成させたAIN膜3の表面を100°Cの酸素雰囲気にさらすことにより、図1(c)に示した50Å程度の厚さの表面酸化層4を形成させた。次に、ゲート電極6を形成するためのフォトリソパターン5をポジ型レジスト(MP1350)により形成した(図1(d))。その後、膜厚1000Åのアルミニウムを抵抗加熱法によ

り試料全面に蒸着した。ついでフォトリソパターン5を除去することによりリフトオフし、ゲート長1から100 $\mu\text{m}$ 、ゲート幅300 $\mu\text{m}$ のゲート電極6を形成した(図1(e))。ソース及びドレイン電極8を形成するためのフォトリソパターン7をポジ型レジスト(MPI350)により形成し、AIN膜3の一部を60°Cのリン酸により除去した(図1(f))。最後に、トータルの膜厚1000Åの金、ゲルマニウム、ニッケルを抵抗加熱法により蒸着したのち、フォトリソパターン7を除去することにより、ソース及びドレイン電極8を形成した(図1(g))。以上の過程により、MIS型FETが完成された。

このようにして完成したMIS型FETについて、その静特性を評価したところ、良好な飽和特性が得られた。ゲート長1 $\mu\text{m}$ のFETの飽和領域から、電子移動度を計算した結果、3700 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ という高い電子移動度が殆どの測定点より得られ、良好な結果となった。さらにソースドレイン間のリーク電流は、10 $\mu\text{A}$ 以下と著しく減少した。一方、従来の作製法、すなわち図1(c)に示した表面酸化層を

形成させずに図1(a)~(g)の工程により得られたMIS型FETは、すでに述べたように、リーク電流が大きくFET動作を示さない測定点が数多く観測された。さらに、わずかに良好な特性を示した測定点においても、作製後に時間が経過すると、リーク電流が増大するなどの特性の劣化が観測された。しかし、本発明により作製された素子については、作製後1ヶ月経てもこのような経時的な変化も殆ど認められなかった。本発明により形成させたAIN膜表面の酸化層が、有効に作用した結果と考えられる。

なお実施例においてはInPを用いてデバイスの作製を示したが、GaAsの場合も同一の工程により作製でき電子移動度5900 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ の良好なFET特性が得られ、InPと同様に発明の有効性が確認できた。

(発明の効果)

本発明による半導体装置の製造方法では、AIN膜の表面にレジスト現像液に対する保護膜として酸化層を形成させてある。この為、ゲート電極

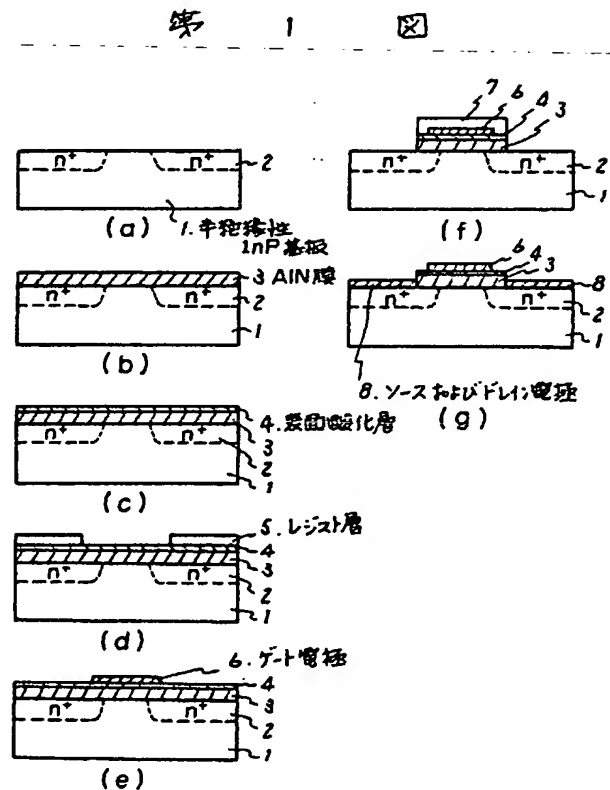
用レジスト現像の過程でAIN膜と半導体との界面およびAIN膜にレジスト現像液の侵入が防止でき、MIS型FETの信頼性を向上できる。

なお、本発明の製造方法はInPやGaAs以外の他のIII-V族化合物、例えばInAs、InGaAsなどにも応用可能である。

図面の簡単な説明

第1図(a)から(g)は本発明の実施例を説明するための要所工程部を示す断面図であり、1は半絶縁性InP基板、2はコンタクト層、3はAIN膜、4は表面酸化層、5はレジスト層、6はゲート電極、7はレジスト層、8はソースおよびドレイン電極。

代理人 弁理士 内原 晋



特開昭64-82671(4)

手続補正書(自発)

63.9.13  
昭和 年 月 日

特許庁長官 殿



1. 事件の表示 昭和62年 特許願 第242134号

2. 発明の名称

MIS型電界効果トランジスタの製造方法

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関 本 忠 弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内 原

電話 東京 (03) 456-3111 (代表)

(連絡先 日本電気株式会社 特許部)



5. 補正の対象

願

6. 補正の内容

(1) 明細 の発明の名称を別紙訂正願書のとおり  
[MIS型電界効果トランジスタの製造方法]と補  
正する。

代理人 弁理士 内 原 晋